**【3.1 存储系统概述】**

**(67)．存储单元是指( B )。**

**A．存放一个字节的所有存储元集合 B．存放一个存储字的所有存储元集合**

**C．存放一个二进制信息位的存储元集合 D．存放一条指令的存储元集合。**

**(24) 某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是（ B ）。**

**A．22位 B．26位 C．25位 D．23位**

**(43)计算机的存储器采用分级方式是为了( D )。**

**A. 减少主机箱的体积 B. 保存大量数据方便**

**C. 操作方便 D. 解决CPU和内存之间的速度匹配问题**

**(44)计算机的存储器采用分级方式是为了(B )。**

**A、方便编程    B、解决容量、速度、价格三者之间的矛盾**

**C、保存大量数据方便    D、操作方便**

**(45)主存储器是计算机系统的记忆设备，它主要用来( C ).**

**A. 存放数据 B. 存放程序 C. 存放数据和程序 D. 存放微程序**

**(62)** **设机器数字长为32位，一个容量为16MB的存储器，CPU按半字寻址，其寻址范围是（ B ）。**

**A．224  B．223 C．222  D．221。**

**(66)某计算机字长是32位，存储器容量是256KB，按字编址，它的寻址范围是（ B ）。**

**A.128K B.64K C. 64KB**

**(68) 某计算机字长是16位，它的存储容量是1MB，按字编址，它的寻址范围是( A )。**

**A．512K； B．1M； C．512KB； D．1MB**

**3.** **存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？**

**答：存储器的层次结构主要体现在Cache—主存和主存—辅存这两个存储层次上。   
 Cache—主存层次在存储系统中主要对CPU访存起加速作用，即从整体运行的效果分析，CPU访存速度加快，接近于Cache的速度，而寻址空间和位价却接近于主存。**

**主存—辅存层次在存储系统中主要起扩容作用，即从程序员的角度看，他所使用的存储器其容量和位价接近于辅存，而速度接近于主存。  
 综合上述两个存储层次的作用，从整个存储系统来看，就达到了速度快、容量大、位价低的优化效果。**

**主存与CACHE之间的信息调度功能全部由硬件自动完成。**

**而主存—辅存层次的调度目前广泛采用虚拟存储技术实现，即将主存与辅存的一部份通过软硬结合的技术组成虚拟存储器，程序员可使用这个比主存实际空间（物理地址空间）大得多的虚拟地址空间（逻辑地址空间）编程，当程序运行时，再由软、硬件自动配合完成虚拟地址空间与主存实际物理空间的转换。**

**这两个层次上的调度或转换操作对于程序员来说都是透明的。**

**5.程序访问的局部性原理中的时间局部性和空间局部性？**

**答：时间局部性是指程序在最近的未来要用到的信息很可能是现在正在使用的信息。**

**空间局部性是指程序在最近的未来要用到的信息与现在正在使用的信息很可能在程序空间上是相邻或相近的。**

**6.** **什么是高速缓冲存储器？ 它与主存是什么关系？ 其基本工作过程如何？**

**答：高速缓冲存储器位于主存和CPU 之间，用来存放当前正在执行的程序段和数据中的活跃部分，使CPU 的访存操作大多数针对Cache 进行，从而使程序的执行速度大大提高。**

**高速缓冲存储器的存取速度接近于CPU 的速度，但是容量较小，它保存的信息只是主存中最急需处理的若干块的副本。**

**当CPU 发出读请求时，如果Cache 命中，就直接对Cache 进行读操作，与主存无关；如果Cache 不命中，则仍需访问主存，并把该块信息一次从主存调入Cache 内。若此时Cache 已满，则须根据某种替换算法，用这个块替换掉Cache 中原来的某块信息。**

**【3.2 静态随机存取存储器SRAM】**

**(65) 一个16K×32位的存储器，其地址线和数据线的总和是 ( B ) 。**

**A．48； B．46； C．36； D．32．**

**(120) 若某存储器容量为32K×16位，则（ C ）。**

**A．地址线为16根，数据线为32根**

**B. 地址线为32根，数据线为16根**

**C. 地址线为15根，数据线为16根**

**(143)若片选地址为111时，选定某一32K×16的存储芯片工作，则该芯片在存储器中的首地址和末地址分别为（ B ）。**

**A、00000H，01000H    B、38000H，3FFFFH**

**C、3800H，3FFFH    D、0000H，0100H**

**3、已知某8位机的主存采用半导体存贮器，地址码为18位，若使用4K×4位RAM芯片组成该机所允许的最大主存空间，并选用模块条的形式，问：**

**（1）若每个模条为32K×8位，共需几个模块条？**

**（2）每个模块内共有多少片RAM芯片？**

**（3）主存共需多少RAM芯片？CPU如何选择各模块条？**

**解答：（1）由于主存地址码给定18位，所以最大存储空间为218 = 256K，主存的最大容量为256KB。现每个模块条的存储容量为32KB，所以主存共需256KB / 32KB = 8 块板。**

**（2） 每个模块条的存储容量为32KB，现使用4K×4位的RAM芯片拼成4K×8位（共8组），用地址码的低12（A0-A11）直接接到芯片地址输入端，然后用地址的高3位（A14-A12）通过3 ：8译码器输出分别接到8组芯片的选片端。共有8×2 = 16个RAM。**

**（3） 据前面所得，共需8个模条，每个模条上有16片芯片，故主存共需8×16 =128片RAM芯片。**

**CPU通过最高3位地址译码输出选择模板，次高3位地址译码输出选择芯片。地址格式分配如下：**

|  |  |  |
| --- | --- | --- |
| **模板号（3位）** | **芯片号（3位）** | **片内地址(12位)** |

**4、设有利用若干片256K×8位SRAM芯片构成2048K×32位的存储器,问：  
(1) 需要多少片RAM芯片？  
(2) 该存储器需要多少字节地址位？  
(3) 如何构成2048K×32位的存储器？画出该存储器与CPU连接的结构图，设CPU的接口信号有地址信号、数据信号、控制信号MREQ#和R/W#。**

**解答：(1) 该存储器需要（2048K×32）/(256K×8) = 32片SRAM芯片；  
 (2) 2048K×32=8MB,需要23条地址线，因为223=8MB**

**(3)23条地址其中高3位用于芯片组选择，低18位作为每个存储器芯片的地址输入。该存储器与CPU连接的结构图如下：**



**【3.3 动态随机存取存储器DRAM】**

**16）动态RAM和静态RAM都是易失性半导体存储器。（√）**

**17）因为动态存储器是破坏性读出，所以必须不断刷新。（×）**

**54）半导体RAM是易失性RAM，而静态RAM只有在电源不掉电时，所存信息是不易失的。 （√）**

**(112)动态RAM比起静态RAM的主要优点是( C )。**

**A.速度快 B. 数据不易丢失 C. 存储密度高 D. 控制简单**

**(132) 某容量为256M的存储器有若干4M ×8位的DRAM 芯片构成，该DRAM芯片的地址引脚和数据引脚总数是（ D ）**

**A.** **22 B.** **30 C.** **36 D. 19**

**(133)某存储器容量为64KB,按字节编址，地址4000H~5FFFH为ROM区，其余为RAM区 ，若采用8K ×4位的SRAM芯片进行设计，则需要该芯片的数量为（ C ）**

**A.** **7 B.** **8 C.** **14 D. 16**

**(140) 假定用若干个2K×4位芯片组成一个8K×8位存储器，则地址0B1FH所在芯片的最小地址是（ D ）**

**A.** **0000H B. 0600H C.** **0700H D. 0800H**

**7.** **为什么每出现新一代存储器芯片，容量至少提高到4倍？**

**答：行地址和列地址分时复用, 每出现新一代存储器芯片，至少要增加一根地址线每加一根地址线，则行地址和列地址各增加一位，所以行数和列数各增加一倍。因而容量至少提高到4倍。**

**6、设CPU共有16根地址线，8根数据线，并用（低电平有效）作访存控制信号，作读写命令信号（高电平为读，低电平为写）。系统程序区：0000H-0FFFH，用户程序区：1000H-3FFFH，现有下列存储芯片：ROM（2K×8位，4K×4位，8K×8位），RAM（1K×4位，2K×8位，4K×8位），及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图。要求：**

**（1）指出选用的存储芯片类型及数量。**

**（2）详细画出片选逻辑。**

**解答：系统程序区（ROM共4KB）：0000H-0FFFH，用户程序区（RAM共12KB）：1000H-3FFFH**

（**1）选片：ROM：选择4K×4位芯片2片，位并联**

**RAM：选择4K×8位芯片3片，字串联(RAM1地址范围为:1000H-1FFFH,RAM2地址范围为2000H-2FFFH, RAM3地址范围为:3000H-3FFFH)**

**（2）各芯片二进制地址分配如下：**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
| **ROM1,2** | 0 | **0** | **0** | **0** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | **0** | **0** | **0** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **RAM1** | 0 | **0** | **0** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | **0** | **0** | **1** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **RAM2** | 0 | **0** | **1** | **0** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | **0** | **1** | **0** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **RAM3** | 0 | **0** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | **0** | **1** | **1** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**CPU和存储器连接逻辑图及片选逻辑如下图所示：**



**【3.4 只读存储器】**

**18）一般情况下，ROM和RAM在存储体中是统一编址的。（√）**

**(137)某计算机主存容量为64KB，其中ROM 区为4KB ，其余为RAM 区，按字节编址。现要用2K×8 位的ROM 芯片和4K×4 位的RAM 芯片来设计该存储器，则需要上述规格的ROM 芯片数和RAM 芯片数分别是（ D ）**

**A.** **1、15 B.** **2、15 C.** **1、30 D. 2 、30**

**5、某计算机的主存地址空间中，从地址0000H到3FFFH为ROM存储区域，从4000H到5FFFH为保留地址区域，暂时不用，从6000H到FFFFH为RAM地址区域。RAM的控制信号为CS#和WE#，CPU的地址线为A15~A0，数据线为8位的线路D7~D0，控制信号有读写控制R/W#和访存请求MREQ#。  
 (1) 画出地址译码方案  
 (2) 如果ROM和RAM存储器芯片都采用8K×1的芯片，试画出存储器与CPU的连接图。**

**解:** **ROM** 存储区域为 **0000H到3FFFH,所以ROM的容量为4× 4K=16K;  
 RAM存储区域为6000H到FFFFH ,所以ROM的容量为10×4K=40K;   
 ROM和RAM**存储器芯片都采用**8K×1位的芯片。所以ROM 用2组8K×8位的存储的芯片组成；RAM 用5组8K×8位的芯片组成；采用位扩展方式用8K×1的芯片构成8K×8位的芯片。  
 8KB的存储区域可以用8片存储器芯片构成一组实现。8K×1位的存储器芯片的地址线需要13条，即A12-A0。**

**（1）地址译码方案**

**译码输出逻辑表达式：**

** **

****

****

****

****

****



**（2） 8KB的**存储区域可以用**8**片存储器芯片构成一组实现**。8K×1的**

存储器芯片的地址线需要**13**条，即**A12-A0。**



**【3.5 并行存储器】**

**3）多体交叉存储器主要解决扩充容量问题。 （×）**

**5）多体交叉存储器主要解决提高主存储器数据传输率。 （√）**

**(75) 已知单个存储体的存储周期为110ns，总线传输周期为10ns，则当采用低位交叉编址的多模块存储器时，存储体数应（ D ）。**

**A、小于11    B、等于11    C、大于11    D、大于或等于11**

**(135)某计算机主存按字节编址，由4个64M ×8位的DRAM芯片采用交叉编址方式构成，并与宽度为32位的存储总线相连，主存每次最多读写32位数据。若double 型变量x 的主存地址为 804001BH,则读取 x 需要的存储周期数是（C）**

**A.** **1 B.** **2 C.** **3 D. 4**

**42. 假定一个存储器系统支持四体交叉存取，某程序执行过程中访问地址序列为3,9,17,2,51,37,13,4,8,41,67,10，哪些地址访问会发生体冲突？**

**解答：对于四体交叉访问的存储系统，每个存储模块地址分布是**

**Bank0:\*\*\*00(0,4,8,12,16,…)**

**Bank1:\*\*\*01(1,5,9,13,17, …，37，…，41，…)**

**Bank2:\*\*\*10(2,6,10,14,18, …)**

**Bank3:\*\*\*11(3,7,11,15,19, …,51, …,67)**

**若给定的访存地址在相邻的4次访问中出现在同一个Bank内，就会发生访存冲突。访问地址序列为3,9,17,2,51,37,13,4,8,41,67,10.**

**3 mod 4=3 ,9 mod 4=1,17 mod 4=1,2mod 4=2,**

**51 mod 4=3,37 mod 4=1,13 mod 4=1,4 mod 4=0,**

**8 mod 4=0,41 mod 4=1,67 mod 4=3,10 mod 4=2**

**所以17和9；37和17；13和17；8 和4；41和13发生冲突。**

**（说明：答案错 13和17不冲突，超过4次访问）**

**【3.6 Cache存储器】**

**1）Cache是内存的一部分，可由指令直接访问。 （×）**

**6）Cache功能全由硬件实现。 （√）**

**7）Cache中的内容应与主存储器的相应单元内容保持一致。 （√）**

**(21) 在Cache的映射方式中不需要替换策略的是（B）。**

**A. 全相联映射方式 B. 直接映射方式 C. 组相联映射方式**

**(52)** **主存贮器和CPU之间增加Cache的目的是( A )。**

**A.解决CPU和主存之间的速度匹配问题**

**B.扩大主存贮器容量**

**C.扩大CPU中通用寄存器的数量**

**D. 既扩大主存贮器容量，又扩大CPU中通用寄存器的数量**

**(69) 主存和CPU之间增加Cache目的是( A )。**

**A．解决CPU和主存之间的速度匹配问题； B．扩大主存容量；**

**C．既扩大主存容量，又提高了存取速度； D．扩大辅存容量。**

**(70) Cache地址映象中，若主存中任一块均可映射到Cache内任一块位置上，称作( B )。**

**A．直接映象； B．全相联映象； C．组相联映象。**

**(139) 假设某计算机的存储系统由chache和主存组成。某程序执行过程中访存1000次，其中访问chache缺失50次，则chache的命中率是 （D ）**

**A.** **5% B. 9.5% C.** **50% D. 95%**

**(144)有效容量为128KB的Cache，每块16字节，采用8路组相联，字节地址为1234567H的单元调入该Cache，则其Tag应为（ C ）。**

**A、1234H    B、2468H    C、048DH    D、12345H**

**(145)某存储系统中，主存容量是Cache容量的4096倍，Cache被分为64个块，当主存地址和Cache地址采用直接映射方式时，地址映射表的大小就为（ D ）。（假设不考虑一致维护和替换算法位）**

**A、6×4097bit    B、64×12bit C、6×4096bit    D、64×13bit**

**(122) 在下列因素中，与Cache命中率无关的是（ C ）。**

**A．Cache块的大小 B. Cache的容量 C. 主存的存取时间**

**(124)在程序的执行过程中，Cache与主存的地址映象是由( D )。**

**A．程序员调度的； B．操作系统管理的；**

**C．由程序员和操作系统共同协调完成的； D．硬件自动完成的。**

**(136)某计算机的Cache共有16块，采用2路组相联映射方式。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到Cache组号是（ C ）**

**A.** **0 B.** **2 C.** **4 D. 6**

**(147) 在Cache中，常用的替换策略有随机法(RAND)、先进先出法(FIFO)、近期最少使用法(LRU),其中与局部性原理有关的是( C )**

**A. 随机法(RAND) B. 先进先出法(FIFO)**

**C. 近期最少使用法(LRU) D. 都不是**

**(148) 某32位计算机的Cache容量为16KB,Cache行的大小为16B,若主存与Cache地址映象采用直接映象方式，则主存地址为0x1234E8F8单元装入Cache的地址是( C )**

**A. 00010001001101 B. 01000100011010**

**C. 10100011111000 D. 11010011101000**

**(149) 在高速缓存系统中，主存容量为12MB，Cache400KB,则该存储器系统的容量为( C )**

**A. 12MB+400KB B. 12MB - 400KB**

**C. 12MB D. 12MB + (12MB + 400KB)**

**8.Cache地址映象方法有哪几种？它们各有什么优缺点？**

**答：(1) 全相联映象。实现查找的机制复杂，代价高，速度慢。Cache空间的利用率较高，块冲突概率较低，因而Cache的失效率也低。**

**（2）直接映象。实现查找的机制简单，速度快。Cache空间的利用率较低，块冲突概率较高，因而Cache的失效率也高。**

**（3）组相联映象。组相联是直接映象和全相联的一种折衷。**

**31.** **(1)计算机中设置Cache作用是？(2)能否将Cache容量扩大取代主存？为什么？**

**答：计算机中设置Cache的作用是解决CPU和主存速度不匹配问题。**

**不能将Cache的容量扩大取代主存，原因是:（1）Cache容量越大成本越高，难以满足人们追求低价格的要求；（2）如果取消主存，当CPU访问Cache失败时，需要将辅存的内容调入Cache再由CPU访问，造成CPU等待时间太长，损失更大。**

**34.** **你对Cache存储器的速度不满意，于是申请到一批有限的经费，为能发挥其最大经济效益，有人建议你再买一些同样速度的Cache片子以扩充其容量;而另有人建议你干脆去买更高速的Cache片子将现有的低速Cache片子全部换掉。你认为哪种建议可取？你如何做决定？为什么？**

**答：Cache本身的速度与容量都会影响Cache存储器的等效访问速度。如果对Cache存储器的等效访问速度不满意，需要改进的话，就要作具体分析，看看现在Cache存储器的等效访问速度是否已接近于Cache本身的速度。如果差得较远，说明Cache的命中率低，应从提高Cache命中率着手，包括调整组的大小、块的大小、替换算法以及增大Cache容量等。如果Cache存储器的等效访问速度已经非常接近于Cache本身的速度还不能满足需要，就应该更换更高速的Cache片子。**

**11、假设某机器的 Cache 为空，Cache有4个块，采用全相联映射，CPU访问主存顺序如下表所示，求分别采用FIFO和LRU算法的命中率并给出Cache块的变化过程。**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** | **12** | **13** | **14** | **15** |
| **主存地址页** | **2** | **3** | **1** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |

**解:(1)采用FIFO算法Cache块内容的变化过程如下：**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** | **12** | **13** | **14** | **15** |
| **主存地址** | **2** | **3** | **1** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |
| **1** | **2** | **2** | **2** | **2\*** | **2** | **2\*** | **3** | **3** | **1** | **5** | **0** | **0** | **2** | **2\*** | **2** |
| **2** |  | **3** | **3** | **3** | **3** | **3** | **1** | **1\*** | **5** | **0** | **2** | **2\*** | **7** | **7** | **7** |
| **3** |  |  | **1** | **1** | **1** | **1** | **5** | **5** | **0** | **2** | **7** | **7** | **1** | **1** | **1** |
| **4** |  |  |  |  | **5** | **5** | **0** | **0** | **2** | **7** | **1** | **1** | **5** | **5** | **5\*** |
| **是否命中** | **×** | **×** | **×** | **√** | **×** | **√** | **×** | **√** | **×** | **×** | **×** | **√** | **×** | **√** | **√** |

**命中率为H=6/15=40%**

**(2)采用LRU算法Cache块内容的变化过程如下：**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** | **12** | **13** | **14** | **15** |
| **主存地址** | **2** | **3** | **1** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |
| **1** | **20** | 2**1** | 2**2** | 2**0\*** | 2**1** | 20\* | 21 | 22 | 20\* | 21 | 22 | 20\* | 21 | 20\* | 21 |
| **2** |  | **30** | **31** | **32** | **33** | **34** | **00** | **01** | **02** | **03** | **04** | **05** | **50** | **51** | **50\*** |
| **3** |  |  | 1**0** | 1**1** | 1**2** | 1**3** | 1**4** | 1**0\*** | 1**1** | 1**2** | 1**0\*** | 1**1** | 1**2** | 1**3** | 1**4** |
| **4** |  |  |  |  | 5**0** | 5**1** | 5**2** | 5**3** | 5**4** | 7**0** | 7**1** | 7**2** | 7**3** | 7**4** | 7**5** |
| **是否命中** | **×** | **×** | **×** | **√** | **×** | **√** | **×** | **√** | **√** | **×** | **√** | **√** | **×** | **√** | **√** |

**表中每个块编号的上角标是年龄计算器的值**

**命中率为H=8/15= 58.3%**

**或如下:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** | **12** | **13** | **14** | **15** |
| **页面请求** | | **2** | **3** | **1** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |
| **L**  **R**  **U** | **④** | **2** | **2** | **2** | **3** | **3** | **3** | **1** | **5** | **5** | **0** | **0** | **0** | **7** | **7** | **7** |
| **③** | **/** | **3** | **3** | **1** | **1** | **1** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **1** | **1** |
| **②** | **/** | **/** | **1** | **2** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** |
| **①** | **/** | **/** | **/** | **/** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |
| **命中** | **×** | **×** | **×** | **√** | **×** | **√** | **×** | **√** | **√** | **×** | **√** | **√** | **×** | **√** | **√** |

**命中率为：H=8/15= 58.3%**

**12**、**主存容量1MB，划分为2048块，每字块512 B。Cache容量为8KB。若访主存地址为123B5H，**

**（1）采用直接映像,问Cache地址？主存的第几块映射到Cache的第1块？**

**（2）若Cache 采用4路组相联，问Cache 地址？**

**解:** **主存容量1MB，划分为2048块，每字块512 B, Cache容量为8KB,20位主存地址为123B5H化为二进制：0001 001 0 001 1 1011 0101，Cache 地址为13位。**

**(1)采用直接映像,Cache地址为：0 0011 1011 0101 。**

**主存块：0001 0010 001 映射到 Cache的0001块，块内偏移地址为1 1011 0101。主存字块标记为： 0001 001。**

**主存的第1+16\*K （K=0,1,2,…,127）块映射到Cache的第1块**

**(2) 采用4路组相联映像，16个Cache块分为4组(组号在Cache块号高位)，每组4个块，123B5H化为二进制：0001 001 0 0 01 1 1011 0101 ，块内偏移地址为1 1011 0101。**

**假设组号在Cache块号高位，则主存块：0001 0010 001 映射到Cache的第00组，块内偏移地址为1 1011 0101。主存字块标记为： 0001 001 01，Cache 地址可能为:①0000 11011 0101②0001 11011 0101③0010 11011 0101④0011 11011 0101这四个地址之一。**

**或假设组号在Cache块号低位，则主存块：0001 0010 001 映射到Cache的第01组，块内偏移地址为1 1011 0101。主存字块标记为： 0001 001 00，Cache 地址可能为:①0001 11011 0101②0101 11011 0101③1001 11011 0101④1101 11011 0101这四个地址之一。**

**（注意：组相联映像方式中，以唐朔飞教材为代表的是采用组号在Cache块号低位方案，以蒋本珊教材为代表的是采用组号在Cache块号高位方案，这两种方案都是可以的。408试题命题则两种方式都有，组号在高位方案为主，今后考研同学注意！）**

**13、某计算机的Cache 采用4路组相联映像，Cache容量为8KB, 主存容量为16MB，每个字块有8个字，每个字有32位.问：**

**(1)主存地址多少位(按字节编址)，各字段如何划分？**

**(2) 设Cache初始为空，CPU依次从主存第0,1,2，…,99号单元读出100个字( 主存一次读1个字)，并重复此次序读10次，问命中率是多少？**

**(3)若Cache的速度是主存速度的5倍，有Cache访存速度是无Cache多少倍？**

**解答：主存容量为16MB，所以主存地址为24 位。各字段划分为：**

|  |  |  |  |
| --- | --- | --- | --- |
| **主存字块标记13bits** | **Cache组号**  **6bits** | **块内地址**  **3bits** | **字节**  **2bits** |

**或**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **主存高位地址**  **11bits** | **Cache组号**  **6bits** | **组内字块号**  **2bits** | **块内地址**  **3bits** | **字节**  **2bits** |

**(2)每个字块中有8个字，Cache初始为空，故CPU读0号单元时未命中，必须访问MM,同时将该字所在的块调入Cache第0组中的任一块内，接着CPU读1~7号单元均命中。同理，CPU读第8,16,24，…,96号单元时均未命中。**

**CPU在连续读100个字中共有13次未命中，而后9次循环读100个字全部命中。**

**命中率为： (100\*10-13)/1000=0.987**

**(3)设MM存取周期为5t,Cache存取周期为t,没有Cache的访问时间为5t\*1000=5000t,有Cache的访问时间为：**

**5t\*13 + t(1000-13) = 65tt + 987t = 1052t,则有Cache，速度比为：**

**5000t/1052t=4.75**

**14、某机器字长32位，具有16KB的直接映射Cache，该Cache块大小为4个字，问主存地址为: ABCDE8F8H的单元在 Cache中的什么位置？**

**解答： 16KB Cache地址格式为：**

|  |  |
| --- | --- |
| **Cache字块地址（10位）** | **字块内地址（4位）** |

**主存地址ABCDE8F8H=1010 1011 1100 1101 1110 1000 1111 1000，块内地址为1000，主存块号为1010 1011 1100 1101 1110 1000 1111。**

**直接映射下的主存地址格式如下：**

|  |  |  |
| --- | --- | --- |
| **主存标记**  **18位** | **Cache块号**  **10位** | **块内地址**  **4位** |

**主存地址为: ABCDE8F8H的单元在 Cache中的地址为10 1000 1111 1000**

**15、某机主存容量1MB，字长1B，块大小16B，Cache容量64KB，若Cache采用直接映射方式，请给出2个不同标记的内存地址，它们映射到同一个Cache行。**

**解答：每块16B，块内的字节地址需要4位；Cache容量64KB，共包含4K行， Cache块号12位；主存容量1MB，主存地址20位。**

**直接映射下的主存地址格式如下：**

|  |  |  |
| --- | --- | --- |
| **主存标记** | **Cache行号** | **块内地址** |
| **4位** | **12位** | **4位** |

**两个满足题目要求的主存地址：**

**0000 1001 0000 1110 0000**

**0001 1001 0000 1110 0000**

**16. 一个组相连映射的CACHE由64块组成，每组内包含4块。主存包含4096块，每块由128字组成，访存地址为字地址。试问主存和高速存储器的地址各为几位？画出主存地址格式。**

**解答：Cache组数：64/4=16 ，Cache容量为：64\*128=213字，Cache地址13位**

**主存共分4096/16=256区，每区16块**

**主存容量为：4096\*128=219字，主存地址19位，地址格式如下：**

|  |  |  |
| --- | --- | --- |
| **主存字块标记（8位）** | **Cache组号（4位）** | **字块内地址（7位）** |

**或：**

|  |  |  |  |
| --- | --- | --- | --- |
| **主存高位地址（6位）** | **Cache组号（4位）** | **组内字块号（2位）** | **字块内地址（7位）** |

**17. 设主存容量为1MB，采用直接映射方式的Cache容量为16KB，块长为4字，每字32位。试问主存地址为ABCDEH的存储单元在Cache中的什么位置？**

**解答：主存和Cache按字节编址，Cache容量16KB=214B，Cache地址为14位，分为16KB/(4\*32/8B)=210块，每块4\*32/8=16B=24B，Cache地址格式为：**

|  |  |
| --- | --- |
| **Cache字块地址（10位）** | **字块内地址（4位）** |

**主存容量1MB=220B，地址共格式为20位，分为1MB/(4\*32/8B)=216块，每块24B，采用直接映射方式，主存字块标记为20 - 14=6位，主存地址格式为：**

|  |  |  |
| --- | --- | --- |
| 主存字块标记（6位） | Cache字块地址（10位） | 字块内地址（4位） |

主存地址为ABCDEH=1010 10**11 1100 1101** **1110**B，主存字块标记为101010，Cache字块地址为11 1100 1101，字块内地址为**1110**，故该主存单元应映射到Cache的**11 1100 1101**块的第1110字节。或者在Cache的第11 1100 1101 **1110**=**3CDEH**字节位置。

**18**. **设主存容量为256K字，**Cache**容量为**2K**字，块长为**4**字。**

**（1）设计**Cache**地址格式，**Cache**中可装入多少块数据？**

**（2）在直接映射方式下，设计主存地址格式。**

**（3）在四路组相联映射方式下，设计主存地址格式。**

**（4）在全相联映射方式下，设计主存地址格式。**

**解答：**（1）Cache容量为2K字，块长为4，Cache共有2K/4=211/22=29=512块，

Cache字地址为9位，字块内地址为2位

因此，Cache地址格式设计如下：

|  |  |
| --- | --- |
| Cache字块地址（9位） | 字块内地址（2位） |

（2）主存容量为256K字=218字，主存地址共18位，共分256K/4=216块，

主存字块标记为18-9-2=7位。

直接映射方式下主存地址格式如下：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（7位） | Cache字块地址（9位） | 字块内地址（2位） |

（3）根据四路组相联的条件，一组内共有4块，得Cache共分为512/4=128=27组，

主存字块标记为18-7-2=9位，主存地址格式设计如下：

|  |  |  |
| --- | --- | --- |
| 主存字块标记（9位） | 组地址（7位） | 字块内地址（2位） |

（4）在全相联映射方式下，主存字块标记为18-2=16位，其地址格式如下：

|  |  |
| --- | --- |
| 主存字块标记（16位） | 字块内地址（2位） |

**36.设主存容量为1MB，Cache容量为16KB，块大小为512B，采用直接地址映象方式。**

**(1)写出Cache地址形式。**

**(2)写出主存地址格式。**

**(3)设块标记为6位，块表容量为多大？**

**(4)主存地址为CDE8FH的单元在Cache中的什么位置?**

**解答：（1）Cache容量为16KB=214，块大小为512B,块内地址为9位，Cache地址为：**

|  |  |
| --- | --- |
| **Cache块地址（5位）** | **块内地址（9位）** |

**（2）主存容量为1MB=220，块大小为512B,块内地址为9位，主存地址为：**

|  |  |  |
| --- | --- | --- |
| **主存标记（6位）** | **块地址（5位）** | **块内（9位）** |

**（3）Cache每一块在块表中有一项，块表单元有25，块表容量为：25×6位**

**（4）主存地址CDE8FH=1100 1101 1110 1000 1111 单元在Cache中的地址为：**

**01 111 0 1000 1111 。**

**40.有一 Cache系统，字长为16位，主存容量为16字×256块，Cache容量为16字×8块,采用全相联映射。**

**(1)主存和Cache容量各位多少字节？主存和 Cache的字地址各为多少？**

**(2)若原先已经依次装入了5块信息，问字地址338H所在的主存块将装入Cache 块的块号和在Cache中的字地址是多少？**

**(3)若块表中地址为1的行中标记着36H的主存块号标志，Cache 块号为5H，则在CPU送来主存的字地址为368H时是否命中？若命中，此时Cache的字地址为多少？**

**解答：(1)主存容量=16×256×2B=8192B=213，Cache容量=16×8×2B=256B=28，所以主存字地址=213/21=12位, 主存字地址=28/21=7位，如下：**

**主存地址：**

|  |  |
| --- | --- |
| 主存块号  8位 | 块内地址  4位 |

**Cache地址：**

|  |  |
| --- | --- |
| Cache块号  3位 | 块内地址  4位 |

**(2)每块大小为16个字， 字地址338H所在的主存块号为33H,由于是全相联映象，原先已装入的5块依次在0~4号块，因此主存的33H块装入Cache的第5块。对应的Cache字地址为101 1000B,其中101为块号，1000为块内地址。**

**(3)** **由于块表中地址为1的行中标记着36H的主存块号标志，则当CPU送来主存地址为368H时，其主存块号为36H,所以命中，Cache的块号为5（101） ，此时的Cache字地址为58H。**

**【3.7 虚拟存储器】**

**2）引入虚拟存储器系统的目的是为了加快外存的存取速度。 （×）**

**22）引入虚拟存储系统的目的是提高存储速度。（×）**

**55）虚存中每次访问一个虚拟地址，至少要访问两次主存。（×）**

**(63)** **在虚拟存贮器中，当程序正在执行时，由( D )完成地址映射。**

**A. 程序员 B. 编译器 C.装入程序 D. 操作系统**

**(64) 常用的虚拟存储器寻址系统由( B )两级存储器组成。**

**A．Cache－主存； B主存－辅存； C．Cache－辅存；D．主存—硬盘**

**(110) 常用的虚拟存贮系统由( A )两级存贮器组成，其中辅存是大容量的磁表面存贮器。**

**A.主存-辅存 B.快存-主存 C.快存-辅存 D.通用寄存器-主存**

**(125)虚拟存贮器常用地址映象方式是( B )。**

**A. 组相联 B. 全相联 C. 直接映象 D. 相联**

**(71)采用虚拟存储器的主要目的是( B )**

**A.提高主存储器的存取速度 B.扩大主存储器的存储空间**

**C.提高外存储器的存取速度 D.扩大外存储器的存储空间**

**(72) 虚拟段页式存储管理方案的特性为( D ) 。**

**A.空间浪费大、存储共享不易、存储保护容易、不能动态连接。**

**B.空间浪费小、存储共享容易、存储保护不易、不能动态连接。**

**C.空间浪费大、存储共享不易、存储保护容易、能动态连接。**

**D.空间浪费小、存储共享容易、存储保护容易、能动态连接。**

**(73) 下述有关存储器的描述中，正确的是( B ) 。**

**A. 多级存储体系由Cache、主存和虚拟存储器构成。**

**B. 存储保护的目的是：在多用户环境中，既要防止一个用户程序出错而破坏系统软件或其它用户程序，又要防止用户访问不是分配给他的主存区，以达到数据安全与保密的要求。**

**C. 在虚拟存储器中，外存和主存以相同的方式工作，因此允许程序员用比主存空间大得多的外存空间编程。**

**D. Cache和虚拟存储器这两种存储器管理策略只有Cache利用了程序的局部性原理。**

**(74)下列说法正确的是( D ) 。**

**A.多体交叉存储器主要解决扩充容量问题**

**B.Cache 与主存统一编址，Cache 的地址空间是主存空间的一部分**

**C.主存都是由易失性的随机读写存储器构成**

**D.Cache 的功能全部由硬件完成**

**(142)某主存地址空间大小为 256 MB，按字节编址。虚拟地址空间大小为 4 GB，采用页式管理，页面大小为 4KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。**

|  |  |  |  |
| --- | --- | --- | --- |
| **有效位** | **标记** | **页框号** | **……** |
| **0** | **FF180H** | **0002H** | **……** |
| **1** | **3FFF1H** | **0035H** | **……** |
| **0** | **02FF3H** | **0351H** | **……** |
| **1** | **03FFFH** | **0153H** | **……** |

**则对虚拟地址 03FF F180H 进行虚实地址变换的结果是（ A ）**

**A. 015 3180H B. 003 5180H C. TLB 缺失 D. 缺页**

**(150) 设有8页的逻辑空间，每页有1024B,它们被映射到32块的物理存储区中，则按字节编址逻辑地址的有效位是( C ),物理地址至少是（ C ）位**

**A. 10，12 B. 10,15 C. 13，15 D.13,12**

**9. 段式虚拟存储器对程序员是否透明？请说明原因。**

**答：虚拟管理是由软件(操作系统)和硬件共同完成，由于软件的介入，虚存对实现存储管理系统程序不透明。而段是按照程序的自然分界划分的长度可以动态改变的区域。通常，程序员把子程序、操作数和常数等不同类型的数据划分到不同的段中，并且每个程序可以有多个相同类型的段。**

**由于分段是由程序员完成的，所以段式虚拟存储器对程序员而言不是透明的，但虚存到实存的地址映射是由系统软件辅助完成的，故对应用程序而言，段是虚拟存储器是“半透明”的。**

**10. 在一个进程的执行过程中，是否其所有页面都必须处在主存中？**

**答：在虚拟存储管理系统中，程序并不是一次整体装入内存才运行，所以不是所有页面都必须处在主存中，而是根据程序的局部性，有的页面在主存，有的页面在辅存。**

**11. 在虚存实现过程中，有些页面会在内存与外存之间被频繁地换入换出，使系统效率急剧下降。这种现象称为颠簸（或叫抖动）。请解释产生颠簸的原因，并说明防止颠簸的办法？**

**答：产生颠簸的原因主要有：①分配的页面数太少②替换策略不佳。**

**防止颠簸的办法：适当增加分配给用户程序的页面数，选取LRU或更好的替换策略。**

**12. 为什么在页式虚拟存储器地址变换时可以用物理页号与页内偏移量直接拼接成物理地址，而在段式虚拟存储器地址变换时必须用段起址与段内偏移量相加才能得到物理地址？**

**答：由于物理页与虚拟页的页面大小相同，且为2的整数次幂，所以页式虚拟存储器地址变换时可以用物理页号与页内偏移量直接拼接成物理地址。**

**而段式虚拟存储器的各段大小不同，且段起始地址任意，所以必须用段起址与段内偏移量相加才能得到物理地址。**

**35.** **为什么段式虚拟存储系统比页式虚拟存储系统更容易实现信息共享和保护？**

**答：页式虚拟存储系统每个页面是分散存储的，为了实现信息共享和保护，页面之间需要一一对应起来，需要建立大量的页表项。**

**而段式虚拟存储系统中每个段都从0地址开始编址，并采用一段连续的地址空间。在实现信息共享和保护时，只需要为所共享和保护的程序设置一个段表项，将其中的基地址与内存地址一一对应起来即可。**

**10、某程序对页面要去的序列为：3,4,2,4,4,3,6,4,3,6,3,4,5,4,6,设主存页面容量为3个页面，求LRU替换算法的命中率（假设开始时主存为空）。**

**解答：页面请求如下图：**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **页面请求** | | **3** | **4** | **2** | **4** | **4** | **3** | **6** | **4** | **3** | **6** | **3** | **4** | **5** | **4** | **6** |
| **L**  **R**  **U** | **③** | **3** | **3** | **3** | **3** | **3** | **2** | **4** | **3** | **6** | **4** | **4** | **6** | **3** | **3** | **5** |
| **②** | **/** | **4** | **4** | **2** | **2** | **4** | **3** | **6** | **4** | **3** | **6** | **3** | **4** | **5** | **4** |
| **①** | **/** | **/** | **2** | **4** | **4** | **3** | **6** | **4** | **3** | **6** | **3** | **4** | **5** | **4** | **6** |
| **命中** | **×** | **×** | **×** | **√** | **√** | **√** | **×** | **√** | **√** | **√** | **√** | **√** | **×** | **√** | **×** |

**命中率为：9/15=60%**

**30.在一个分页虚存系统中，用户虚地址空间为32页，页长1KB，主存物理为16KB。已知用户程序有10页长，若虚页0、1、2、3已经被调入到主存8、7、4、10页中请问虚地址0AC5和1AC5(十六进制)对应的物理地址是多少？**

**解答：页长1KB，所以页内地址为10位。**

**主存物理页面数：16页，共14位地址码(其中页面号4位，页内地址10位)**

**用户虚地址空间：32页，页面号为031；共15位地址码(其中页面号5位，页内地址10位)。**

**0AC5H=00010，1011000101B，页面号为2，已被调入到主存页4，所以，物理地址中的页面号为4，页内地址与虚地址的页内地址相同，所以是：0100，1011000101=12C5H。**

**1AC5H=00110，1011000101B，页面号为6，未被调入到主存页中，所以无物理地址，会发生缺页中断。**

**32．在虚拟存储器中，若主存容量为4MB，页面容量为4 KB,程序地址空间为1GB.**

**(1)写出主存地址格式。(2)写出虚拟地址格式。(3)页表长度为多少？**

**解答：（1）主存地址格式为：**

|  |  |
| --- | --- |
| **主存页号**  **10位** | **块内地址**  **12位** |

**（2）虚拟地址格式为：**

|  |  |
| --- | --- |
| **虚页号**  **18位** | **块内地址**  **12位** |

**（3）页表长度为218=256K：**

**35**．**某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为16MB，主存（物理）地址空间大小为1MB，页面大小为4KB；Cache采用直接映射方式，共8行；主存与 Cache之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如a图、b图所示，图中页框号及标记字段的内容为十六进形式。**

|  |  |  |  |
| --- | --- | --- | --- |
| **行号** | **有效位** | **标记** | **……** |
| **0** | **1** | **020** | **……** |
| **1** | **0** | **－** | **……** |
| **2** | **1** | **01D** | **……** |
| **3** | **1** | **105** | **……** |
| **4** | **1** | **064** | **……** |
| **5** | **1** | **14D** | **……** |
| **6** | **0** | **－** | **……** |
| **7** | **1** | **27A** | **……** |

**b图 Cache的部分内容**

|  |  |  |  |
| --- | --- | --- | --- |
| **虚页号** | **有效位** | **页框号** | **……** |
| **0** | **1** | **06** | **……** |
| **1** | **1** | **04** | **……** |
| **2** | **1** | **15** | **……** |
| **3** | **1** | **02** | **……** |
| **4** | **0** | **－** | **……** |
| **5** | **1** | **2B** | **……** |
| **6** | **0** | **－** | **……** |
| **7** | **1** | **32** | **……** |

**a图 页表的部分内容**

**请回答下列问题。**

**（1）虚拟地址共有几位，哪几位表示页号？物理地址共有几位，哪几位表示页框号（物理页号）？**

**（2）使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。**

**（3）虚拟地址001C60H所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。**

**解答：（1）页面大小为**4KB**=212 B，故页内地址**12**位。虚拟地址空间大小为16MB=224B，虚拟地址为：**

|  |  |
| --- | --- |
| **虚页号 12位** | **页内地址 12位** |

**主存地址空间大小为1MB=220B，物理地址为：**

|  |  |
| --- | --- |
| **页框号 8位** | **页内地址 12位** |

**（2）** Cache**采用直接映射方式，共23行=**8**行；主存与** Cache**之间交换的块大小为 25 B =32B，故**Cache**行（块）内地址5位。故**Cache**大小为**32×8**＝**256B**=28B。**

Cache**地址为：**

|  |  |
| --- | --- |
| Cache**行号3位** | **行内地址5位** |

**主存（物理）地址空间大小为1MB=220B，直接映射下的主存物理地址为：**

|  |  |  |
| --- | --- | --- |
| **主存标记 12位** | Cache**行号 3位** | **行内地址 5位** |

**（3）虚拟地址001C60H的低12位C60H为页内地址，高12位001H为虚页号。**

**查页表可知，虚页001H对应的有效位为1，故该页已调入主存，主存页号为04H，故主存地址为04C60H。**

**主存地址04C60H=000001001100 011 00000b的低5位00000b为行内地址，中间3位011b为Cache行号，查Cache标记可知，第3行的有效位为1，但标记为105H，故该地址Cache不命中。**

**37**．**某计算机的主存地址空间大小为256MB,按字节编址。指令Cache和数据Cache分离，均有8个Cache 行，每行大小为64B,数据 Cache 采用直接映射方式。现有两个功能相同的程序A和程序B,其C伪代码如下：**

**程序B:**

**int a[256][256];**

**……**

**int sum\_array2( )**

**{**

**int i,j,sum=0;**

**for(j=0;j<256;j++)**

**for(i=0;i<256;i++)**

**sum+=a[i][j];**

**return sum;**

**}**

**程序A:**

**int a[256][256];**

**……**

**int sum\_array1( )**

**{**

**int i,j,sum=0;**

**for(i=0;i<256;i++)**

**for(j=0;j<256;j++)**

**sum+=a[i][j];**

**return sum;**

**}**

**假设int 类型数据用32位补码表示，程序编译时i,j,sum均分配在寄存器中，数组a 按行优先方式存放，其首地址为320（十进制）。请回答下列问题，要求说明理由或计算工程。**

1. **若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量是多少字节？**
2. **数组元素a[0][31]和a[1][1]各自所在主存块对应的Cache行号是多少?(Cache 行号从0 开始)**
3. **程序A和程序B的数据访问命中率是多少？哪个程序执行时间短？**

**解答：**

1. **每个Cache行对应一个标记项，如下图：**

|  |  |  |  |
| --- | --- | --- | --- |
| **有效位** | **脏位** | **替换控制位** | **标记位** |

**不考虑用于Cache一致性维护和替换算法的控制位。地址为28位(228=256M)。数据Cache的总**容量**=8×64=512B=29 B，块内地址为6位 （26=64）Cache 块号3位(23=8)。**

**标记位数=28- 3 – 6=19，有效位为1位，这样，标记和有效位占(19 + 1)×8/8=20B, Cache的总容量=为512 + 20 =532B**

1. **主存地址格式：**

|  |  |  |
| --- | --- | --- |
| **标记位19位** | **块(行)号3位** | **块内地址6位** |

**Cache地址格式：**

|  |  |
| --- | --- |
| **块(行)号3位** | **块内地址6位** |

**数组按行优先方式存放，其首地址为320，数字元素为4B.**

a[0][31]**在主存起始地址为:**320 + 31\*4=444**（1 1011 1100）B, 即（110 111100）B, 则块号为6（110）。或**444/64=6,Cache **行号=**6 mod 8=6

**a[1][1]在主存起始地址为：**320 +（ 256+ 1）\*4= 1348**(10 101 000100) B, 则块号为5(101)。或块号=**1348/64=21,Cache **行号=**21 mod 8= 5**.**

**（3）程序A：**

**总访存次数=数组元素个数=**256\*256**=216，每次对加载到 Cache某行中的第一个数据的访问都是不命中的cahce,所以未命中次数=占有内存块数=216\*4/64=212;命中率=(216 - 212）/216=（1-1/16）=93.75%;**

**或对于A程序： 1行Cache 占64B,每个int 数据元素占4 B,一行有16个数。第一个数因Cache缺失而不命中（强制性缺失），然后调入Cache,使得后面的15个int 数据元素全部命中，所以命中率为**15/16=93.75%

**程序B：**

**数组每行为256个数据，占用256\*4=1024B,共需要1024/64=16个 Cache 行（页），Cache 共 8 行。程序访问次序为：a[0][0]、a[1][0]、a[2][0]、a[3][0] ……，**

**Cache 的8行被依次加载数据为：a[0][0]~ a[0][15]、a[1][0]~ a[1][15] ……a[7][0]~ a[7][15]、当访问a[8][0]时，a[0][0]~ a[0][15]被替换，以此类推，每次访存都是不命中，命中率为0.**

**程序A执行时间更短。**

**38**．**有如下C语言程序段：**

for(int k = 0; k < 1000; k++)

{

a[k] = a[k]+32;

}

**若数组a以及变量k均为int型，int型数据占4B，数据Cache采用直接映射方式，数据区大小是1KB，块大小是16B，该程序段执行前Cache为空，则该程序段执行过程中，访问数组a的Cache的缺失率？**

**解答：a[k]的访问步骤是：先访问Cache，若Cache缺失则从主存中取出一个块调入Cache，这个块中的后几个数据都是命中的。**

**本题中一个数据占4B，一个块大小是16B，一个块中有4个数据。**

**循环体语句a[k]=a[k]+32:首先读取a[k]需要访问1次a[k],之后将结果(a[k] +32 )赋值给a[k]需要访问1次，共访问2次。第一次Cache访问 a[k]未命中（冷启动缺失），则将该字所在的主存块调入Cache对应块中，对该主存块中的4个整数的2次访问中，只在访问第1次的第1个元素时发生缺失，其他的7次访问全部命中，因此该程序段执行过程中访问数组a的 Cache 缺失率为1/8=12.5%。**

**39.假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块为 1 个字。若 Cache 的内容初始为空，采用 2 路组相联映射方式和 LRU 替换算法。当访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时，计算命中 Cache 的次数？要求有示意图。**

**解答：Cache 有4个行，2路组相联，即Cache 被分成2组，每组2行。主存地址为0〜1、4〜5、8〜9 可映射到第0组Cache 中，主存地址为2〜3、6〜7可映射到第1组Cache 中。**

**0,2,4,6,8的2进制表示分别为：0(0 0),2(1 0),4(1 0 0),6(1 10),8(10 00)，访问的0,2,4,6,8字若在Cache有副本，则副本是在 Cache的第0、1、0、1、0组中任意页，映射和替换如下图所示：**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| **主存地址** | | **0** | **4** | **8** | **2** | **0** | **6** | **8** | **6** | **4** | **8** |
| **组号** | **0** | **0** | **0** | **8** | **8** | **8** | **8** | **8\*** | **8** | **8** | **8\*** |
|  | **4** | **4** | **4** | **0** | **0** | **0** | **0** | **4** | **4** |
| **1** |  |  |  | **2** | **2** | **2** | **2** | **2** | **2** | **2** |
|  |  |  |  |  | **6** | **6** | **6\*** | **6** | **6** |
| **是否命中** | | **×** | **×** | **×** | **×** | **×** | **×** | **√** | **√** | **×** | **√** |

**命中率=3/10=30%**

**（本题假定Cache 行号高位为组号，蒋本珊所编教材按此方式）**

**41.假定数组元素按行优先方式存储，M、N都是2048，按字节编址，每个数组元素占4个字节。对于下面的两个函数：**

**程序A： 程序B:**

int sumaaryrows (int a[M][N])

{

int i,j,sum=0;

for (j=0;j<N,j++)

for (i=0;i<M,i++)

sum+=a[i][j];

return sum;

}

int sumaaryrows (int a[M][N])

{

int i,j,sum=0;

for (i=0;i<M,i++)

for (j=0;i<N,j++)

sum+=a[i][j];

return sum;

}

1. **对于数组a的访问，哪个空间局部性更好？哪个时间局部性更好？**
2. **对于指令访问来说， for 循环体的空间局部性和时间局部性如何？**

**解答：（1）对于数组a, 程序 A和程序B的空间局部性相处较大。**

**程序A对数组a的访问顺序为：**

**a[0][0], a[0][1] , …,a[0][2047] ;**

**a[1][0], a[1][1] , …,a[1][2047] ;**

**…**

**由此可见，数据访问顺序与存放顺序是一致的，空间局部性好。**

**程序B对数组a的访问顺序为：**

**a[0][0], a[1][0] , …,a[2047][0] ;**

**a[0][0], a[1][1] , …,a[2047][1] ;**

**…**

**由此可见，数据访问顺序与存放顺序不一致，每次访问都要跳过2048个元素，即8190字节，若主存与 Cache交换单位小于8KB,则每访问1个数组元素都需要装入1个主存块到Cache 中，没有空间局部性。**

**两个程序的时间局部性都较差，因为每个数组元素都只被访问1次。**

**（2）对于for 循环体，程序 A和程序B的访问局部性都是一样的。因为循环体内指令按序连续存放的，所以空间局部性好。**

**内循环体被连续重复执行了2048×2048次，所以时间局部性也好。**